

CLIPPEDIMAGE= JP403157970A
PAT-NO: JP403157970A
DOCUMENT-IDENTIFIER: JP 03157970 A
TITLE: MANUFACTURE OF IMAGE SENSOR

PUBN-DATE: July 5, 1991

INVENTOR-INFORMATION:

NAME
SAKAI, YOSHIHIKO
HIKIJI, TAKETO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI XEROX CO LTD	N/A

APPL-NO: JP01296254
APPL-DATE: November 16, 1989

INT-CL (IPC): H01L027/146; H04N001/028
US-CL-CURRENT: 438/73

ABSTRACT:

PURPOSE: To manufacture an image sensor of high performance by forming a Cr layer as barrier metal on a semiconductor layer of an ohmic contact layer of a thin film transistor switching element, and preventing the damage when Al or the like of a wiring layer is vapordeposited or when a film is stuck by sputtering method.

CONSTITUTION: A gate electrode 25 and a first Cr layer turning to the lower wiring of a multilayer wiring are stuck as barrier metal on a substrate 21 of glass or the like by DC sputtering method. The Cr layer is patterned by photolithography process and etching process. BHC treatment and alkali washing are performed, and the following are formed in order by plasma CVD without breaking a vacuum; Six; of, e.g. about 3000 \AA ; in thickness, a-Si:H of about 500 \AA ; in thickness, and SiNx of about 1500 \AA ; in thickness. Thus an insulating film 26 of a thin film transistor switching element TFT part

is formed on the Cr layer pattern; a semiconductor active layer 27 is formed on the insulating layer 26 and an insulating layer 29 is formed on the layer 27.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-157970

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月5日

H 01 L 27/146
// H 04 N 1/028

Z

9070-5C
8122-5F

H 01 L 27/14

C

審査請求 未請求 請求項の数 2 (全13頁)

⑮ 発明の名称 イメージセンサ製造方法

⑯ 特 願 平1-296254

⑰ 出 願 平1(1989)11月16日

⑱ 発 明 者 酒 井 義 彦 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑲ 発 明 者 曳 地 丈 人 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

㉑ 代 理 人 弁理士 阪本 清孝 外1名

明 細 書

1. 発明の名称

イメージセンサ製造方法

2. 特許請求の範囲

(1) 基板上に受光素子と薄膜トランジスタスイッチ素子とを形成するイメージセンサ製造方法において、

前記基板上に前記薄膜トランジスタスイッチ素子のゲート電極として金属電極を形成し、前記金属電極を覆うようにゲート絶縁層を形成し、前記ゲート絶縁層上に前記金属電極に対応するように半導体活性層を設け、前記半導体活性層上にオーミックコンタクト層として半導体層を形成し、前記半導体層を分割してドレイン電極とソース電極の一部を形成し、前記ドレイン電極と前記ソース電極となる部分をバリヤメタルとしてのクロム層で覆うようにし、前記クロム層を形成する際に同時に受光素子の下部電極を形成し、前記下部電極上に前記受光素子の光導電層、上部電極を形成し、前記上部電極と前記ドレイン電極部分を接続する

金属配線を形成したことを特徴とするイメージセンサ製造方法。

(2) 基板上に受光素子と薄膜トランジスタスイッチ素子とを形成するイメージセンサ製造方法において、

前記基板上に前記薄膜トランジスタスイッチ素子のゲート電極として金属電極を形成し、前記金属電極を覆うようにゲート絶縁層を形成し、前記ゲート絶縁層上に前記金属電極に対応するように半導体活性層を設け、前記半導体活性層上にオーミックコンタクト層として半導体層を形成し、前記半導体層を分割してドレイン電極とソース電極の一部を形成し、前記ドレイン電極と前記ソース電極となる部分をバリヤメタルとしてのタンタル層で覆うようにし、前記タンタル層を形成する際に同時に受光素子の下部電極を形成し、前記下部電極上に前記受光素子の光導電層、上部電極を形成し、前記上部電極と前記ドレイン電極部分を接続する金属配線を形成したことを特徴とするイメージセンサ製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はファクシミリやスキャナ等に用いられるイメージセンサの製造方法に係り、特に高信頼性の薄膜トランジスタスイッチ素子を有する簡易なイメージセンサ製造方法に関する。

(従来の技術)

従来のイメージセンサで、特に密着型イメージセンサは、原稿等の画像情報を1対1に投影し、電気信号に変換するものである。この場合、投影した画像を多数の画素(受光素子)に分割し、各受光素子で発生した電荷を薄膜トランジスタスイッチ素子(TFT)を使って特定のブロック単位で負荷容量に一時蓄積して、電気信号として数百KHzから数MHzまでの速度で時系列的に順次読み出すTFT駆動型イメージセンサがある。このTFT駆動型イメージセンサは、TFTの動作により単一の駆動用ICで読み取りが可能となるので、イメージセンサを駆動する駆動用ICの個数を少なくするものである。

- 3 -

スタのドレイン・ゲート間のオーバーラップ容量に蓄積された後、薄膜トランジスタ $T_{N,n}$ を電荷転送用のスイッチとして用いてブロック毎に順次負荷容量 C_n に転送蓄積される。すなわち、ゲートパルス発生回路からのゲートパルス ϕ_{G1} により、第1のブロックの薄膜トランジスタ $T_{1,1} \sim T_{1,n}$ がオンとなり、第1のブロックの各受光素子 $11'$ で発生して蓄積された電荷が各負荷容量 C_n に転送蓄積される。そして、各負荷容量 C_n に蓄積された電荷により各共通信号線14の電位が変化し、この電圧値を駆動用IC15内のアナログスイッチ SW_n を順次オンして時系列的に出力線16に抽出する。そして、ゲートパルス $\phi_{G2} \sim \phi_{Gn}$ により第2～第Nのブロックの薄膜トランジスタ $T_{2,1} \sim T_{2,n}$ から $T_{N,1} \sim T_{N,n}$ までがそれぞれオンすることによりブロック毎に受光素子側の電荷が転送され、順次読み出すことにより原稿の主走査方向の1ラインの画像信号を得、ローラ等の原稿送り手段(図示せず)により原稿を移動させて前記動作を繰り返し、原稿全体の画像信号

- 5 -

TFT駆動型イメージセンサは、例えば、その等価回路図を第6図に示すように、原稿幅と略同じ長さのライン状の受光素子アレイ11と、各受光素子 $11'$ に1:1に対応する複数個の薄膜トランジスタ $T_{N,n}$ から成る電荷転送部12と、多層配線部13とから構成されている。

前記受光素子アレイ11は、N個のブロックの受光素子群に分割され、一つの受光素子群を形成するn個の受光素子 $11'$ は、フォトダイオード $PD_{N,n}$ により等価的に表すことができる。各受光素子 $11'$ は各薄膜トランジスタ $T_{N,n}$ のドレイン電極にそれぞれ接続されている。そして、薄膜トランジスタ $T_{N,n}$ のソース電極は、マトリクス状に接続された多層配線13を介して受光素子群毎に共通信号線14(n本)及び負荷容量 C_n にそれぞれ接続されている。各薄膜トランジスタ $T_{N,n}$ のゲート電極には、ブロック毎に導通するようにゲートパルス発生回路(図示せず)が接続されている。各受光素子 $11'$ で発生する光電荷は一定時間受光素子の寄生容量と薄膜トランジ

- 4 -

を得るものである(特開昭63-9358号、特開昭63-67772号公報参照)。

また、従来の薄膜トランジスタスイッチング素子(TFT)の具体的構成は、第7図に示すように、基板21上にゲート電極25としてのクロム層、ゲート絶縁層26としての窒化シリコン膜、半導体活性層27としての水素化アモルファスシリコン(a-Si:H)層、ゲート電極25に対向するよう設けられたトップ絶縁層29としての窒化シリコン膜、オーミックコンタクト層28としての n^+ 水素化アモルファスシリコン(n^+ a-Si:H)層を順次積層し、そしてこのオーミックコンタクト層28を分割して、ドレイン電極の一部28aとソース電極の一部28bを形成し、その上にアルミニウム層30の配線が接続される逆スタガ構造のトランジスタである。ここで、ドレイン電極とソース電極は n^+ a-Si:H層とアルミニウム層から構成されている。そして、ドレイン電極の一部28aには受光素子の個別電極からの配線が接続されている。

- 6 -

また、従来の薄膜トランジスタスイッチング素子(TFT)の製造方法は、基板21上にゲート電極25としてのクロムを蒸着し、所定の形状にパターニングする。次にゲート電極25の絶縁層(ゲート絶縁層26)として窒化シリコン膜を着膜し、このゲート絶縁層26上に半導体活性層27として水素化アモルファスシリコン(a-Si:H)をプラズマCVD法により着膜し、続いてトップ絶縁層29として窒化シリコンを着膜する。このトップ絶縁層29をパターニングし、後にオーミックコンタクト層28としてn⁺水素化アモルファスシリコン(n⁺a-Si:H)をプラズマCVD法により着膜し、エッチングして、ドレイン電極の一部28aとソース電極の一部28bを形成する。次にオーミックコンタクト層の28a部分および28b部分の上にアルミニウムを蒸着し、受光素子11'からの配線30aと多層配線への配線30b、さらにトップ絶縁層29を覆う部分を形成するような形状にてパターニングを行う。このようにして薄膜トランジスタスイッチ

ング素子(TFT)が製造される。

(発明が解決しようとする課題)

しかしながら、上記のようなイメージセンサにおける薄膜トランジスタスイッチング素子(TFT)の構成では、ドレイン電極の一部28aとソース電極の一部28bであるn⁺a-Si:H上にアルミニウムを直接蒸着またはスパッタ法で着膜する時に、ドレイン電極の一部28aとソース電極の一部28bのn⁺a-Si:Hにダメージを与えることがあり、n⁺a-Si:Hの特性を悪化させてTFTの性能を低下させ、引いてはイメージセンサの信頼性を損なうとの問題点があった。

また、イメージセンサにおいて、同一基板21上に受光素子11'とTFTを別々に作製していたのでは、製造工程が複雑になるとの問題点があった。

本発明は上記実情に鑑みてなされたもので、イメージセンサの製造方法において、高信頼性の薄膜トランジスタスイッチング素子を有し、かつ簡

- 7 -

易なイメージセンサ製造方法を提供することを目的とする。

(課題を解決するための手段)

上記従来例の問題点を解決するための請求項1記載の発明は、基板上に受光素子と薄膜トランジスタスイッチ素子とを形成するイメージセンサ製造方法において、前記基板上に前記薄膜トランジスタスイッチ素子のゲート電極として金属電極を形成し、前記金属電極を覆うようにゲート絶縁層を形成し、前記ゲート絶縁層上に前記金属電極に対応するように半導体活性層を設け、前記半導体活性層上にオーミックコンタクト層として半導体層を形成し、前記半導体層を分割してドレイン電極とソース電極の一部を形成し、前記ドレイン電極と前記ソース電極となる部分をバリアメタルとしてのクロム層で覆うようにし、前記クロム層を形成する際に同時に受光素子の下部電極を形成し、前記下部電極上に前記受光素子の光導電層、上部電極を形成し、前記上部電極と前記ドレイン電極部分を接続する金属配線を形成したことを特徴と

している。

また、上記従来例の問題点を解決するための請求項2記載の発明は、基板上に受光素子と薄膜トランジスタスイッチ素子とを形成するイメージセンサ製造方法において、前記基板上に前記薄膜トランジスタスイッチ素子のゲート電極として金属電極を形成し、前記金属電極を覆うようにゲート絶縁層を形成し、前記ゲート絶縁層上に前記金属電極に対応するように半導体活性層を設け、前記半導体活性層上にオーミックコンタクト層として半導体層を形成し、前記半導体層を分割してドレイン電極とソース電極の一部を形成し、前記ドレイン電極と前記ソース電極となる部分をバリアメタルとしてのタンタル層で覆うようにし、前記タンタル層を形成する際に同時に受光素子の下部電極を形成し、前記下部電極上に前記受光素子の光導電層、上部電極を形成し、前記上部電極と前記ドレイン電極部分を接続する金属配線を形成したことを特徴としている。

(作用)

- 8 -

請求項1記載の発明によれば、イメージセンサの製造方法において、薄膜トランジスタスイッチ素子(TFT)のオーミックコンタクト層の半導体層の上にバリアメタルとしてのクロム層を形成して、配線層のアルミニウム等の金属の蒸着またはスパッタ法による着膜時のダメージを防ぐことにより、 $n^+a-Si:H$ の半導体層の特性を保持してイメージセンサの信頼性を高めることができるし、また前記クロム層を形成する際に、受光素子の下部電極部分を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子とTFTを別々に形成するより簡易にイメージセンサを製造できる。

請求項2記載の発明によれば、イメージセンサの製造方法において、薄膜トランジスタスイッチ素子(TFT)のオーミックコンタクト層の半導体層の上にバリアメタルとしてのタンタル層を形成して、配線層のアルミニウム等の金属の蒸着またはスパッタ法による着膜時のダメージを防ぐことにより、 $n^+a-Si:H$ の半導体層の特性を

保持してイメージセンサの信頼性を高めることができるし、また前記タンタル層を形成する際に、受光素子の下部電極部分を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子とTFTを別々に形成するより簡易にイメージセンサを製造できる。

また、請求項2記載の発明におけるバリアメタルとしてのタンタルは、請求項1記載の発明におけるバリアメタルとしてのクロムより電食に強いので、さらに信頼性の高いイメージセンサを製造できる。

(実施例)

本発明の一実施例について図面を参照しながら説明する。

第1図は、本発明の一実施例に係るイメージセンサ全体の外觀断面説明図、第2図(a)(b)は、それぞれ本実施例の受光素子(フォトダイオードPD)の平面説明図と断面説明図、第3図(a)(b)は、それぞれ本実施例の薄膜トランジスタスイッチ素子(TFT)平面説明図と断面

- 11 -

説明図、第4図(a)(b)は、それぞれ本実施例のマトリックス状の多層配線と負荷容量の平面説明図と断面説明図である。また、本発明の一実施例に係るイメージセンサの等価回路は、第6図と同じであり、同様の構成をとる部分については同一の符号を使って説明する。

イメージセンサは、ガラス等の絶縁性の基板21上に並設された n 個のサンドイッチ型の受光素子(フォトダイオードPD)11'を1ブロックとし、このブロックを N 個有してなる受光素子アレイ11(PD1,1~PD N , n)と、各受光素子11'にそれぞれ接続された薄膜トランジスタT1,1~TN, n の電荷転送部12と、アースラインEを含むマトリックス状の多層配線13と、電荷転送部12から多層配線13を介してブロック内の受光素子群毎に対応する n 本の共通信号線14と、共通信号線14が接続する駆動用IC15内のアナログスイッチSW1~SW n と、共通信号線14の途中に設けられた負荷容量C1~C n とから構成されている。尚、アースラインEは、配

- 12 -

線同士のクロスロークを防止するために設けられたものである。

受光素子11'は、第2図の断面説明図に示すように、ガラス等の基板21上に下部の共通電極となるクロム(Cr)等による帯状の金属電極22と、各受光素子11'毎に分割形成された水素化アモルファスシリコン($a-Si:H$)から成る光導電層23と、同様に分割形成された酸化インジウム・スズ(ITO)から成る上部の透明電極24とが順次積層するサンドイッチ型を構成している。尚、ここでは下部の金属電極22は主走査方向に帯状に形成され、金属電極22の上に光導電層23が離散的に分割して形成され、上部の透明電極24も同様に離散的に分割して個別電極となるよう形成されることにより、光導電層23を金属電極22と透明電極24とで挟んだ部分が各受光素子11'を構成し、その集まりが受光素子アレイ11を形成している。また、離散的に分割形成された透明電極24の一端にはアルミニウム等の配線30aの一方が接続され、その配線3

- 13 -

- 14 -

0 a の他方が電荷転送部 1 2 の薄膜トランジスタ TN_n のドレイン電極に接続されている。また、受光素子 1 1' において、水素化アモルファスシリコンの代わりに、 $CdSe$ (カドミウムセレン) 等を光導電層とすることも可能である。このように、光導電層 2 3 と透明電極 2 4 を個別化したのは、 $a-Si:H$ の光導電層 2 3 が共通層である、その共通層のために隣接する電極間の干渉が起こるので、この干渉を少なくするためである。

さらに、受光素子 1 1' の光導電層 2 3 に $a-Si:H$ 、 $p-i-n$ を用いてもよいし、 $a-SiC$ 、 $a-SiGe$ を用いてもよい。また、上記受光素子 1 1' はフォトダイオードであるが、フォトコンダクタ、フォトトランジスタであっても構わない。

また、電荷転送部 1 2 を構成する薄膜トランジスタ TN_n は、前記基板 2 1 上にゲート電極 2 5 としてのクロム層、ゲート絶縁層 2 6 としての窒化シリコン膜、半導体活性層 2 7 としての水素化アモルファスシリコン ($a-Si:H$) 層、トッ

プ絶縁層 2 9 としての窒化シリコン膜、オーミックコンタクト層 2 8 としての n^+ 水素化アモルファスシリコン ($n^+ a-Si:H$) 層、バリアメタル 4 1 としてクロム (Cr) 層、そしてオーミックコンタクト層 2 8 とバリアメタル 4 1 の分割化された部分がドレイン電極部分とソース電極部分を形成し、その上に配線層としてのアルミニウム層 3 0 とを順次積層した逆スタガ構造のトランジスタである。そして、ドレイン電極には受光素子の透明電極 2 4 からの配線 3 0 a が接続されている。ここで、オーミックコンタクト層 2 8 はドレイン電極を形成する 2 8 a 層とソース電極を形成する 2 8 b 層と分離して形成されている。また、バリアメタル 4 1 としてのクロム (Cr) 層はそのオーミックコンタクト層 2 8 a と 2 8 b を覆うように形成されている。

また、上記半導体活性層 2 7 として $poly-Si$ 等の別の材料を用いても同様の効果が得られる。

次に、第 4 図に示すように、マトリックス状の

- 15 -

多層配線 1 3 と負荷容量 C_n の構成を説明する。

多層配線 1 3 の構成は、下部の縦配線 3 1 をクロム層で、上部の横配線 3 2 をアルミニウム層で形成され、縦配線 3 1 と横配線 3 2 の間に窒化シリコンから成る第 1 の絶縁層 3 3 とポリイミドから成る第 2 の絶縁層 3 4 を介して、配線層がマトリックス状に配置されている。第 2 の絶縁層はさらに二層にて形成する。絶縁層を多層にしたのは、配線交差部でのクロストークを低減させるためである。そして、上下配線の接続部分は、コンタクトホール 3 5 で接続されている。

負荷容量 C_n の構成は、負荷容量の下部電極 3 1 a となる個別電極を多層配線 1 3 の一部を構成する縦配線 3 1 の延長線上に縦配線 3 1 と一体にクロムで離散的に形成し、その上に多層配線 1 3 の第 1 の絶縁層 3 3 の窒化シリコンと第 2 の絶縁層 3 4 のポリイミドを延長して絶縁層を形成する。但し、ここでは第 2 の絶縁層 3 4 は一層のみで形成することとする。そして、絶縁層 3 4 上に多層配線 1 3 の上部の横配線 3 2 と同時にアルミニ

- 16 -

ウムで帯状の負荷容量 $C_1 \sim C_n$ の上部電極 3 6 部分を形成する。

上記の下部配線 3 1 と負荷容量 $C_1 \sim C_n$ の下部部分の個別電極 3 1 a は、同一のフォトリソ工程で作成され、また上部配線 3 2 と負荷容量の上部部分の共通電極 3 6 も同一のフォトリソ工程で作成されるものである。このようにして作成された多層配線 1 3 と負荷容量 1 4 の上には保護膜が形成される。

n 本の共通信号線 1 4 は、多層配線 1 3 の横の配線 3 2 の一部から構成され、負荷容量 $C_1 \sim C_n$ を途中に設置して駆動用 IC 1 5 内のアナログスイッチ $SW_1 \sim SW_n$ に接続するよう構成されている。そして負荷容量 $C_1 \sim C_n$ に蓄積された電荷によって共通信号線 1 4 の電位が変化し、この電位値をアナログスイッチ SW_n の動作により出力線 1 6 (第 6 図) に抽出するようになってい

る。

次に、本発明に係る一実施例のイメージセンサの製造方法について、第 5 図のフロー図を使い説

- 17 -

- 18 -

明する。

まず、検査、洗浄された(101)ガラス等の基板21上に、ゲート電極25と多層配線13の下部の配線31となる第1のCr層Cr1をDCスパッタ法により750Å程度の厚さで着膜する(102)。次にこのCr1をフォトリソ工程(PLP)とエッチング工程(Etch)によりパターンニングする(103)。そしてBHF処理およびアルカリ洗浄を行い、Cr1パターン上に薄膜トランジスタスイッチ素子(TFT)部の絶縁層26とその上の半導体活性層27とまたその上の絶縁層29を形成するために、SiNxを3000Å程度の厚さで、a-Si:Hを500Å程度の厚さで、SiNxを1500Å程度の厚さで順に真空を破らずにプラズマCVD(P-CVD)により着膜する(104~106)。ここで、TFTにおける下層のゲート絶縁層26をbottom-SiNx(b-SiNx)とし、上層のトップ絶縁層29をtop-SiNx(t-SiNx)とする。真空を破らずに連続的に着膜する

ことでそれぞれの界面の汚染を防ぐことができ、S/N比の向上を図ることができる。

b-SiNx膜をP-CVDで形成する条件は、基板温度が300~400℃で、SiH₄とNH₃のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が10~50sccmで、NH₃のガス流量が100~300sccmで、RFパワーが50~200Wである。

a-Si:H膜をP-CVDで形成する条件は、基板温度が200~300℃で、SiH₄のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が100~300sccmで、RFパワーが50~200Wである。

t-SiNx膜をP-CVDで形成する条件は、基板温度が200~300℃で、SiH₄とNH₃のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が10~50sccmで、NH₃のガス流量が100~300sccmで、RFパワーが50~200Wである。

次に、ゲート電極25に対応するようなパター

- 19 -

ンの形状となるように、トップ絶縁層29のパターンを形成する(107)。

さらにBHF処理を行い、その上にオーミックコンタクト層28としてn⁺型のa-Si:HをP-CVDにより1000Å程度の厚さで着膜する(108)。次に、TFTのドレイン電極とソース電極のバリエヤメタル41および受光素子11'の下部の金属電極22となる第2のCr層Cr2をDCマグネトロンスパッタにより1500Å程度の厚さで着膜し(109)、受光素子11'の光導電層23となるa-Si:HをP-CVDにより13000Å程度の厚さで着膜し(110)、受光素子11'の透明電極24となるITOをDCマグネトロンスパッタにより600Å程度の厚さで着膜する(111)。この時、それぞれの着膜の前にアルカリ洗浄を行う。

この後、受光素子11'の透明電極24の個別電極を形成するために、ITOをフォトリソ工程とエッチング工程でパターンニングする(112)。次に同一のレジストパターンにより光導電層23

のa-Si:Hをドライエッチングによりパターンニングする(113)。ここで金属電極22のCr層Cr2は、a-Si:Hのドライエッチング時にストッパーとしての役割を果たし、パターンニングされずに残ることになる。このドライエッチング時において、光導電層23のa-Si:H層には、サイドエッチが大きく入るため、レジストを剥離する前に再度ITOのエッチングを行う(114)。すると、ITOの周辺裏側からさらにエッチングされて光導電層23のa-Si:H層と同じサイズのITOが形成される。

上記のa-Si:H膜をP-CVDで形成する条件は、基板温度が170~250℃で、SiH₄のガス圧力が0.3~0.7Torrで、SiH₄ガス流量が150~300sccmで、RFパワーが100~200Wである。

また、上記のITOをDCスパッタで形成する条件は、基板温度が室温で、ArとO₂のガス圧力が 1.5×10^{-3} Torrで、Arガス流量が100~150sccmで、O₂ガス流量が1~2sccm

- 21 -

- 22 -

で、DCパワーが200~400Wである。

次に、受光素子11'の金属電極22のCr層とTFTのバリアメタル41のCr層となるCr2をフォトリソ工程とエッチング工程でパターンニングし(115)、同一レジストパターンを用いて受光素子11'の金属電極22のCr層の下層となるn+型のa-Si:H層とTFTのオーミックコンタクト層28のn+型のa-Si:H層をエッチングする(116)。

次に、TFTのゲート絶縁層26および多層配線13の第1の層間絶縁層33のパターンを形成するために、b-SiNxをフォトリソエッチング工程によりパターンニングする(117)。そして、イメージセンサ全体を覆うように絶縁層のポリイミド(P11)を11500Å程度の厚さで塗布(コート)し(118)、プリベークを行ってフォトリソエッチング工程を行い(119)、再度ベークする(120)。さらに第2の絶縁層のポリイミド(P12)も同様に11500Å程度の厚さでコート、ベーク、フォトリソ

- 23 -

aに接続する配線30a部分と、TFTのソース電極の一部28bから多層配線13へと電荷を導き出す配線30b部分と、さらに多層配線13において上部の配線32と、負荷容量においては上部の共通電極36とが形成される。

最後に、パシベーション層(図示せず)であるポリイミドを塗布し(127)、プリベークを行った後にフォトリソエッチング工程でパターンニングを行い(128)、さらにベークしてパシベーション層を形成する(129)。この後、Descumを行い(130)、不要に残っているポリイミドを取り除く。

そして、上記イメージセンサにおいて、駆動用IC15等を実装し、ワイヤボンディング、組み立てが為され、イメージセンサが完成する。

次に、本発明に係る一実施例のイメージセンサの駆動方法について説明する。

受光素子アレイ11上に配置された原稿(図示せず)に光源(図示せず)からの光が照射されると、その反射光が受光素子(フォトダイオードP

エッチング、ベークを行う(121~123)。これにより、受光素子11'においては、金属電極22に電源を供給するコンタクト部分と透明電極24から電荷を取り出す部分、TFTにおいては、受光素子11'で生じた電荷を転送する配線が接続するコンタクト部分と多層配線13へと電荷を導き出す出口となるコンタクト部分、さらに多層配線13にいて上下間の配線を接続するコンタクトホール35が形成される。この後に、ホール35等の残ったポリイミドを完全に除去するために、O₂でプラズマにさらすDescumを行う(124)。

次に、アルミニウム(Al)をDCマグネトロンスパッタによりイメージセンサ全体を覆うように15000Å程度の厚さで着膜し(125)、所望のパターンを得るためにフォトリソエッチング工程でパターンニングする(126)。これにより、受光素子11'においては、金属電極22に電源を供給する配線部分と、透明電極24から電荷を取り出し、TFTのドレイン電極の一部28

- 24 -

D)に照射し、原稿の濃淡に応じた電荷を発生させ、受光素子11'の寄生容量等に蓄積される。ゲートパルス発生回路(図示せず)からゲートパルスφGに基づき薄膜トランジスタTがオンの状態になると、フォトダイオードPDと共通信号線14側を接続して寄生容量等に蓄積された電荷を負荷容量Cnに転送蓄積される。具体的に第1ブロックのフォトダイオードPD1.1~PD1.nに電荷が発生した場合について説明すると、ゲートパルス発生回路からゲートパルスφGが印加されると、薄膜トランジスタT1.1~T1.nがオンの状態になり、フォトダイオードPD1.1~PD1.nに発生した電荷がマトリクス状の多層配線13を経由して、負荷容量C1~Cnに転送蓄積される。この後、薄膜トランジスタT1.1~T1.nがオフの状態になる。

次に、タイミング発生回路(図示せず)は、駆動用IC15の読み出し用のスイッチSW1~SWnに読み出しスイッチング信号φsl~φsnを順次印加するとともに、これに1タイミングづつ遅

- 25 -

- 26 -

れて駆動用IC15のリセット用スイッチング素子RS1～RSnにリセットスイッチング信号 $\phi_{R1} \sim \phi_{Rn}$ を順次印加する。これにより、負荷容量C1～Cnに蓄積されている電荷は画像信号として出力(Tout)される。そして次のブロックの受光素子(フォトダイオードPD)に発生している電荷の転送がおこなわれる。

本実施例のイメージセンサ製造方法によれば、イメージセンサにおいて、薄膜トランジスタスイッチ素子のオーミックコンタクト層28であってソース電極の一部28bとドレイン電極の一部28aになる $n^+ a-Si:H$ の半導体層の上にバリアメタル41としてのクロム層を設けて、配線層30となるアルミニウムの蒸着またはスパッタ法による着膜時のダメージを防ぐことにより、オーミックコンタクト層28の $n^+ a-Si:H$ の特性を保持してイメージセンサの信頼性を高めることができる効果がある。さらに、バリアメタル41としての前記クロム層を形成する際に、クロム層を受光素子11'の下部の共通電極となる金

属電極22を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子11'とTFTを別々に形成する場合に比べ、一連の製造工程で両者を同時に形成するため、より簡易な工程でイメージセンサを製造できる効果がある。

また、別の実施例として、上記薄膜トランジスタスイッチ素子(TFT)のバリアメタル41と受光素子11'の金属電極22をタンタル(Ta)層で形成することも可能である。クロム(Cr)層の場合、TFTは保護膜で保護されているが、水分が浸透してきてCrとCr間のリークの経路となって電気分解を起こし、Cr表面が酸化する電食が起こることがあり、Cr表面で酸化した物質が更に水に溶解して消失してしまう問題があったが、Taは電食に強いいため、この電食を防止することができる。

但し、Ta層を形成する場合は、上記製造方法においても説明した通り、受光素子とTFT部分を同時に形成するようにしているので、Taパターニング時において、その下層となる $n^+ a-S$

- 27 -

i:Hの半導体層27でエッチングが止まること、および受光素子の $a-Si:H$ の光導電層23をパターニング時において、その下層のTa層でエッチングが止まること、Taの特性として要求される。従って、Taがエッチングされる時の $n^+ a-Si:H$ との選択比がとれ、 $a-Si:H$ がエッチングされる時のTaとの選択比がとれるようにしなければならない。

具体的にそれぞれのパターニング状況について説明すると、TFTにおけるTaパターニング時において、塩素系ガス(CCl₄等)を使ってドライエッチングすれば、Taとその下層の半導体層27の $n^+ a-Si:H$ とのエッチングの選択比が、 $Ta:n^+ a-Si:H=4:1$ となる。これは、Taが4の割合でエッチングされると、同時に $n^+ a-Si:H$ が1の割合でエッチングされることになるため、Taのエッチングが $n^+ a-Si:H$ の半導体層27で止まることになる。また、受光素子の $a-Si:H$ の光導電層23をパターニング時において、フッ素系ガス(CF₄

- 28 -

等)を使ってドライエッチングすれば、 $a-Si:H$ とその下層の金属電極22のTaとのエッチングの選択比が、 $a-Si:H:Ta=1:1$ となる。これは、 $a-Si:H$ が11の割合でエッチングされると、同時にTaが1の割合でエッチングされることになるため、 $a-Si:H$ のエッチングが金属電極22のTaで止まることになる。

また、TFTにおけるドライエッチングの際に、Taと $n^+ a-Si:H$ の選択比を考慮するだけでなく、トップ絶縁層29との選択比も考慮しなければ、トップ絶縁層29がエッチングされてしまい、チャネルの $a-Si:H$ の半導体活性層27に穴が開いてしまうので注意を必要とする。

上記別の実施例によれば、イメージセンサにおいて、薄膜トランジスタスイッチ素子のオーミックコンタクト層28であってソース電極の一部28bとドレイン電極一部28aになる $n^+ a-Si:H$ の半導体層の上にバリアメタルとしてのタンタル(Ta)層を設けて、配線層30となるアルミニウムの蒸着またはスパッタ法による着膜時

- 29 -

- 30 -

のダメージを防ぐことにより、オーミックコンタクト層 28 の $n^+ a-Si:H$ の特性を保持してイメージセンサの信頼性を高めることができる効果があるし、バリヤメタル 41 としての前記タンタル層を形成する際に、タンタル層を受光素子 11' の下部の共通電極となる金属電極 22 を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子 11' と TFT を別々に形成する場合に比べ、一連の製造工程で両者を同時に形成するので、より簡易な工程でイメージセンサを製造できる効果がある。加えて、クロムのように電食して消失することが少なく、TFT の信頼性を向上させることができる効果がある。

(発明の効果)

請求項 1 記載の発明によれば、イメージセンサの製造方法において、薄膜トランジスタスイッチ素子 (TFT) のオーミックコンタクト層の半導体層の上にバリヤメタルとしてのクロム層を形成して、配線層のアルミニウム等の金属の蒸着またはスパッタ法による着膜時のダメージを防ぐこと

により、 $n^+ a-Si:H$ の半導体層の特性を保持してイメージセンサの信頼性を高めることができるし、また前記クロム層を形成する際に、受光素子の下部電極部分を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子と TFT を別々に形成するより簡易にイメージセンサを製造できる効果がある。

請求項 2 記載の発明によれば、イメージセンサの製造方法において、薄膜トランジスタスイッチ素子 (TFT) のオーミックコンタクト層の半導体層の上にバリヤメタルとしてのタンタル層を形成して、配線層のアルミニウム等の金属の蒸着またはスパッタ法による着膜時のダメージを防ぐことにより、 $n^+ a-Si:H$ の半導体層の特性を保持してイメージセンサの信頼性を高めることができるし、また前記タンタル層を形成する際に、受光素子の下部電極部分を兼ねるように同一のフォトリソ工程で形成するようにしたため、受光素子と TFT を別々に形成するより簡易にイメージセンサを製造できるし、またバリヤメタルとして

— 31 —

のタンタルは、クロムより電食に強いいため、さらに信頼性の高いイメージセンサを製造できる効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例に係るイメージセンサの外観断面説明図、第 2 図 (a) (b) はそれぞれ第 1 図の受光素子部分の平面説明図と断面説明図、第 3 図 (a) (b) はそれぞれ第 1 図の電荷転送部の平面説明図と断面説明図、第 4 図 (a) (b) はそれぞれ第 1 図の多層配線と負荷容量の平面説明図と断面説明図、第 5 図は本発明の一実施例に係るイメージセンサの製造方法のフロー図、第 6 図は従来のイメージセンサの等価回路図、第 7 図は従来の電荷転送部の断面説明図である。

- 11 …… 受光素子アレイ
- 12 …… 電荷転送部
- 13 …… 多層配線
- 14 …… 共通信号線
- 15 …… 駆動用 IC

— 32 —

- 16 …… 出力線
- 21 …… 基板
- 22 …… 金属電極
- 23 …… 光導電層
- 24 …… 透明電極
- 25 …… ゲート電極
- 26 …… ゲート絶縁層
- 27 …… 半導体活性層
- 28 …… オーミックコンタクト層
- 29 …… トップ絶縁層
- 30 …… アルミニウム層
- 31 …… 縦配線
- 32 …… 横配線
- 33 …… 第 1 の絶縁層
- 34 …… 第 2 の絶縁層
- 35 …… コンタクトホール
- 36 …… 上部電極
- 41 …… バリヤメタル

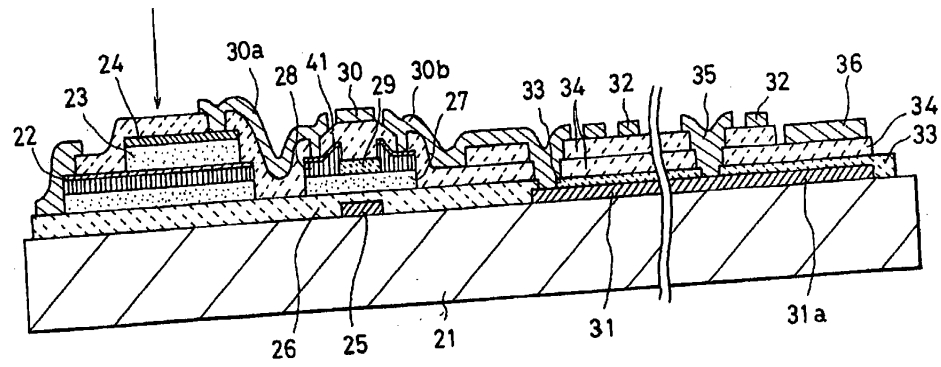
出 願 人 富士ゼロックス株式会社

— 33 —

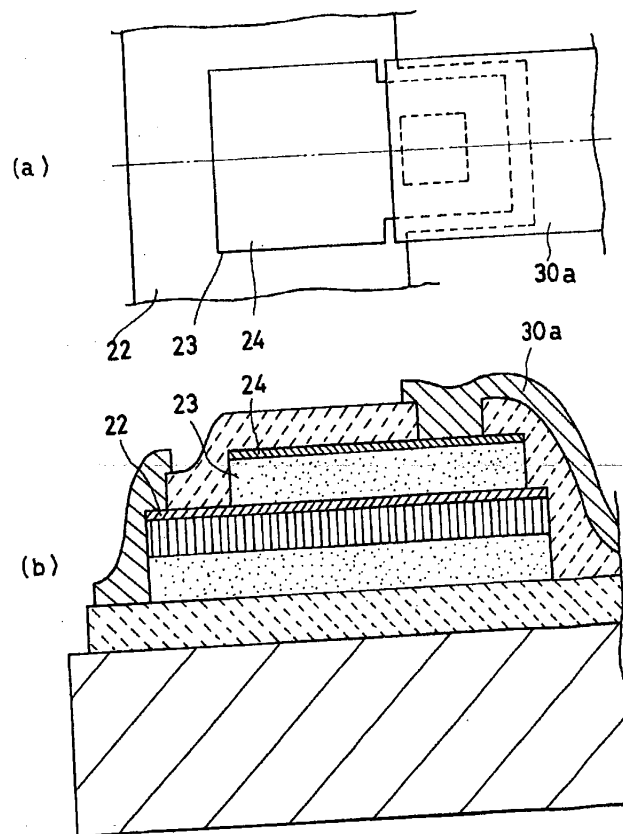
— 421 —

— 34 —

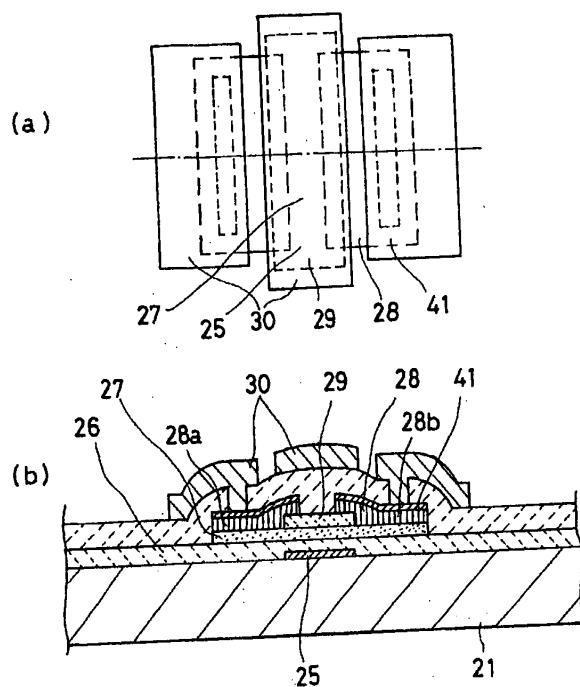
第 1 区



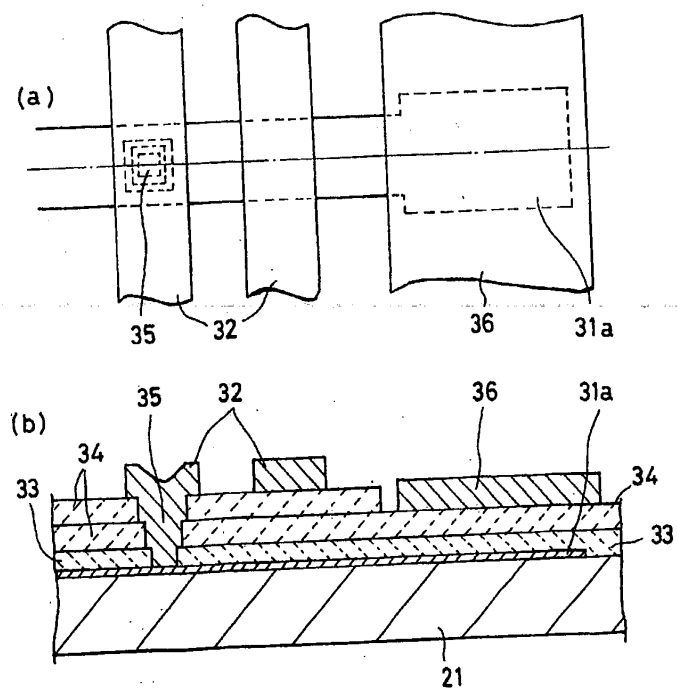
第 2 図



第 3 図



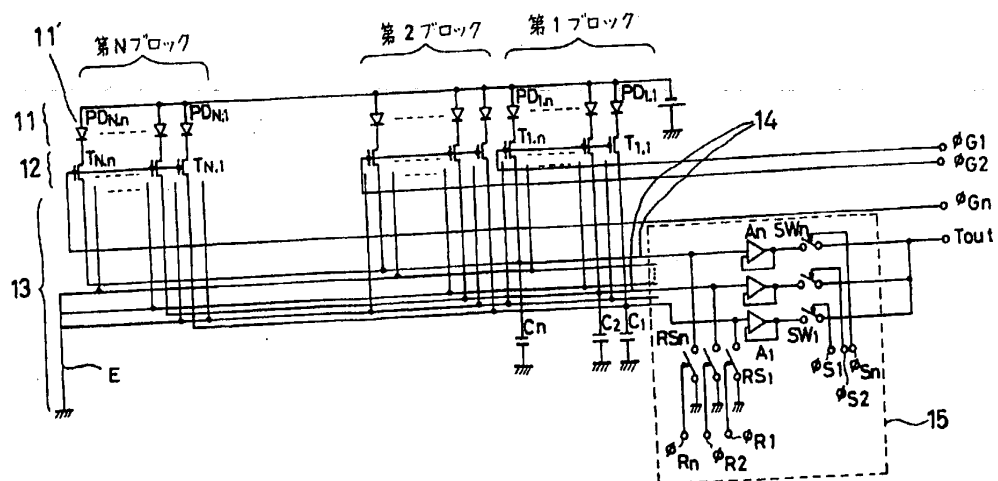
第 4 図



第 5 図



第 6 図



第 7 図

